

Escala d'integració	Nº de portes
S.S.I. - Integració a petita escala	
M.S.I. - Integració a mitja escala	
L.S.I. - Integració a gran escala	
V.L.S.I. - Integració a molt gran escala	
U.L.S.I. - Integració a escala ultragran	
G.S.I. - Integració a gigaescala	

Famíles lògiques

Conjunt de tots els components lògics fabricats amb la mateixa tecnologia.

RTL	Resistor-Transistor Logic
DTL	Diode-Transistor Logic
ECL	Emitter-Coupled Logic
TTL	
CMOS	
BiCMOS	Bipolar Complementary Metal-Oxide Semiconductor

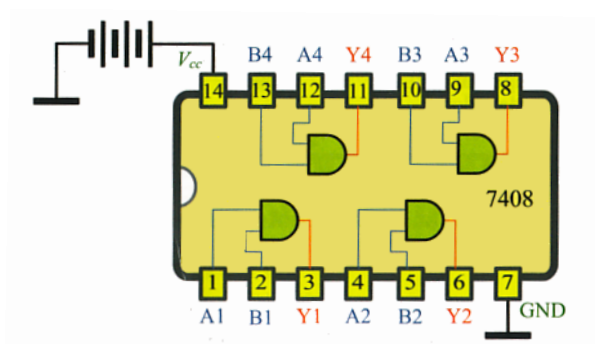
Característiques d'una família lògica

- Tensió
- Nivells de
- Immunitat
- Dissipació
- Capacitat de
- Retard de

3

Jordi Filé IES Blada

Tensió d'alimentació $V_{cc}(V)$



Alimentació per + V_{cc} al positiu d'una tensió continua i el negatiu a - GND.

Per TTL la tensió d'alimentació es de + 5 V (de $V \div V$) i per CMOS també +5 V (de $V \div V$).

4

Jordi Filé IES Blada

Nivells de tensió d'entrada i sortida

S'ha de definir quins valors (volts) és consideraran un nivell alt (High-) o baix (Low-).

Entrada de la porta

$V_{IL(max)}$ = Màxima tensió (I - In) admissible per que la porta interpreti un "0" lògic o un nivell baix (L - Low)

$V_{IH(min)}$ = Mínima d'entrada (I - In) admissible per que la porta interpreti un "1" lògic o un nivell alt (H - High)

Sortida de la porta

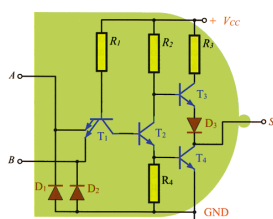
$V_{OL(max)}$ = tensió que apareix a la sortida (O - Out) per l'estat lògic "0" o nivell baix (L - Low)

$V_{OH(min)}$ = Mínima tensió que apareix a (O - Out) per l'estat lògic "1" o nivell alt (H - High)

5

Jordi Filé IES Blada

Nivells d'entrada i sortida d'una porta TTL estàndard



5 V + V_{cc}

5 V + V_{cc}

V

$V_{OH(min)}$

V

$V_{IH(min)}$

V

$V_{IL(max)}$

V

$V_{OL(max)}$

0 V

0 V

Nivells de tensió d'entrada de la sèrie **TTL** estàndard

Nivells de tensió de sortida de la sèrie **TTL** estàndard

6

Jordi Filé IES Blada

Dissipació de potència

Els circuits lògics consumeixen potència al funcionar, per tant degut a l'efecte Joule s'escalfen i per tant augmenta la seva temperatura. Normalment els fabricants indiquen la potència en mW per cada porta lògica.

La família TTL 74 té una dissipació de potència per porta. I la família CMOS 74HC té una dissipació molt més petita del ordre de per porta.

Operating Ambient Temperature Range TTL 74:

série TTL 54 (militaire) -55 °C à 125 °C (normal 25 °C)**série TTL 74 (Comercial) 0 °C a 70 °C (normal 25 °C)**

9

Jordi Fité IES Biada

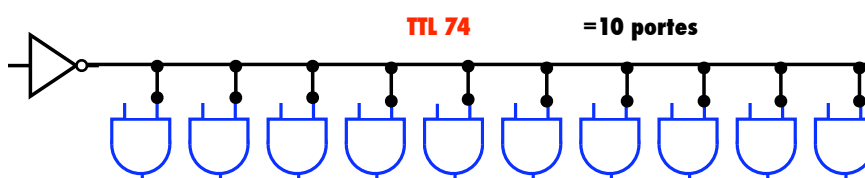
Capacitat de càrrega ()

Al disseny de circuits lògics és molt habitual connectar diverses entrades d'una porta a la mateixa sortida d'una porta lògica...

El `max_ports` ens indica el número màxim de portes que es poden connectar a la sortida d'una porta lògica de la mateixa família:

TTL 74 fan-out = portes

CMOS 74 HC fan-out = portes

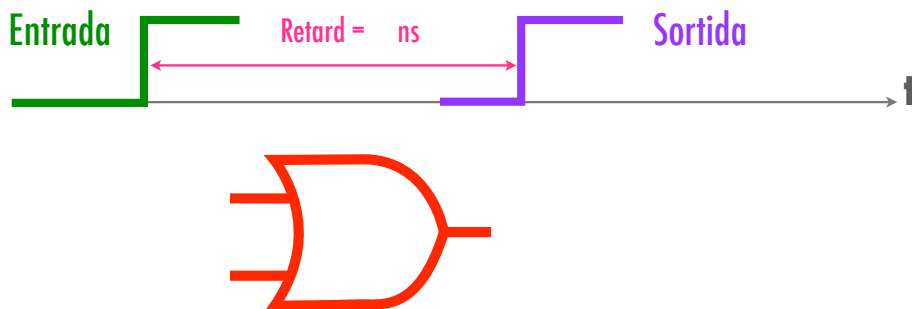


10

Jordi Fité IES Borda

Retard de propagació

Quan apliquem un senyal d'entrada a una porta lògica i aquesta canvia el seu estat a la sortida, temps, que es coneix amb el retard de propagació.



11

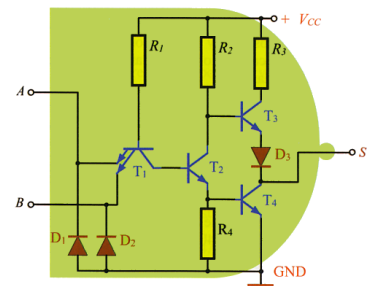
Jordi Filé IES Blada

Comparativa TTL & CMOS		TTL 74	CMOS 74 HC
	V_{CC} (V)	4,5 ÷ 5,5 V	3 ÷ 15 V
		0,4 V	1,4 V
	V_{NL} (V)	0,4 V	
Potència consumida			0,0025 mW
Temps de propagació	t_p(ns)	9 ns	
	f(MHZ)		40 MHZ
Capacitat de càrrega			100
Nivells de tensió d'entrada	V_{IL}(màx)	0,8 V	
	V_{IH}(mín)		3,5 V
	V_{OL}(màx)	0,4 V	0,1 V
	V_{OH}(mín)		4, V

12

Jordi Filé IES Blada

La família lògica TTL està constituïda per resistències, díodes i transistors bipolars. Els circuits interns són analògics, però operen només en dos estats: un nivell de tensió alt (5 V) un u (1) lògic i un de baix (0 V) un zero (0) lògic.



13

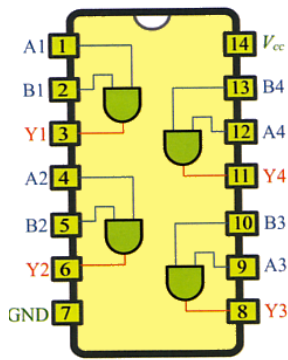
Jordi Filé IES Blada

Denominació de les sèries TTL, per ordre d'aparició, amb les principals millores.

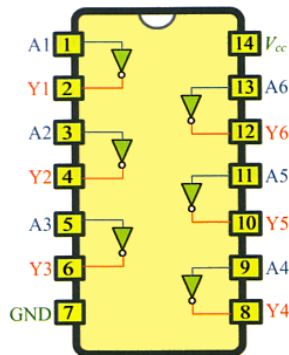
TTL	Característiques	mW	ns	MHz
74			10	35
74S	Millora en el temps de propagació	20		125
74LS	Menys consum		10	
74ALS	Menys consum i bon temps de propagació	1		70
74AS	Baix temps de propagació	7	1,5	
74F	Equilibri entre potència i temps			100

14

Jordi Filé IES Blada



TTL 7408



TTL 7404

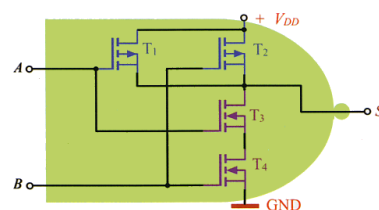
Significat dels dos últims dígit d'un C.I.		
00	4	de 2 entrades
02	4	de 2 entrades
04	4	
08	4 AND	
10	3 NAND	
11	3	de 3 entrades
20	2 NAND	de
21	2	de 4 entrades
27		de 3 entrades
30	1 NAND	de
32	OR	de 2 entrades
86	4	de 2 entrades
133	1 NAND	de entrades

15

Jordi Filé IES Blada

La família lògica CMOS està constituïda per transistors de canal N i de canal P. Aquest circuits s'han anat imposant al mercat degut a algunes característiques:

- **Més immunitat al soroll**
- **Tensió**
- **Menor**
- **Més densitat**



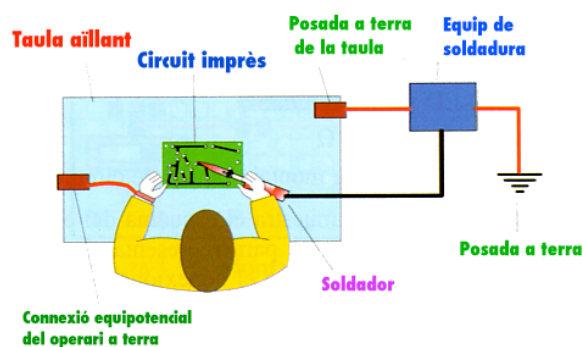
16

Jordi Filé IES Blada

Denominació de les sèries **CMOS**, per ordre d'aparició, amb les principals millores.

CMOS	Característiques	mW	ns	MHz
4000			50	12
74HC	Millora a la velocitat	1	8	
74HCT	Compatible amb TTL	1		40
74AC	Millora a la velocitat		4	125
74ACT	Compatible amb TTL	0,5		125
74AHC	Millora a la velocitat	0,006	3	
74AHCT	Alta velocita i compatible amb TTL	0,006	3	

Precaucions amb els circuits CMOS



Són dispositius molt sensibles a les descàrregues electrostàtiques

- **No tocar els terminals**
- **Emmagatzematge C.I.** els terminals amb contacte
- **No insertar els C.I. amb la**
- **Les eines i bancs de treball s'han de**
- **No deixar cap terminal sense connectar:**
(AND i NAND → Connexió a **V_{cc}**) - (NOR i OR → Connexió a massa (**0 V**))

