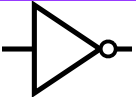
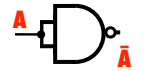
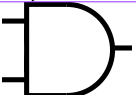
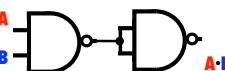
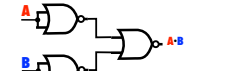
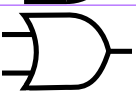
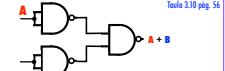
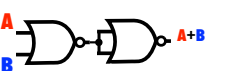
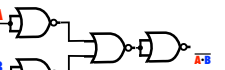
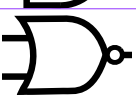
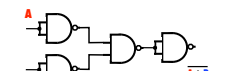
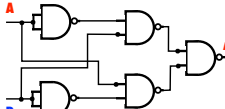
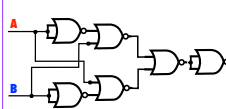
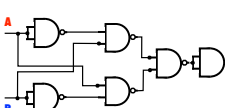
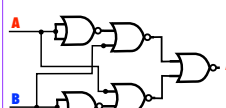


Funció	Símbol	Implementació amb portes NAND	Implementació amb portes NOR
NOT $\bar{A}$		 Taula 3.10 pág. 56	 Taula 3.10 pág. 56
Y (AND) $A \cdot B$		 Taula 3.10 pág. 56	 Taula 3.10 pág. 56
O (OR) $A + B$		 Taula 3.10 pág. 56	
NO Y (NAND) $\overline{A \cdot B}$		 Taula 3.10 pág. 56	 Taula 3.10 pág. 56
NO O (NOR) $\overline{A + B}$		 Taula 3.10 pág. 56	 Taula 3.10 pág. 56

1

Intel Filo 185 Slides

Funció	Símbol	Implementació amb portes NAND	Implementació amb portes NOR
O-X (XOR) $A \oplus B$		 Taula 3.10 pág. 56	 Taula 3.10 pág. 56
NO-X (XNOR) $\overline{A \oplus B}$		 Taula 3.10 pág. 56	 Taula 3.10 pág. 56

2

Intel Filo 185 Slides

Codificador (Encoder)

És un circuit digital combinacional amb (2^N) entrades (inputs) i N sortides (Outputs) en el qual si qualsevol de les entrades s'activa de manera individual, les N

(Binari natural, BCD, decimal...).



3

Intel Filo 185 Slides

El codificador simple rep senyal a les 2^N entrades i genera una resposta (sortida) de N línies en paral·lel.

Exemple per un codificador simple (sense prioritat) de 4 a 2 bits; per una entrada de 4 bits, obtenim una sortida de 2 bits.

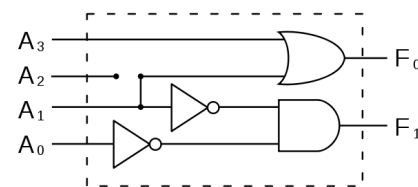


Diagrama amb portes lògiques d'un codificador simple de 4 a 2 bits.

A ₃	A ₂	A ₁	A ₀	F ₁	F ₀
0	0	0	1		
0	0	1	0		
0	1	0	0		
1	0	0	0		

Taula de veritat (Truth Table) del codificador simple 4-2 bits

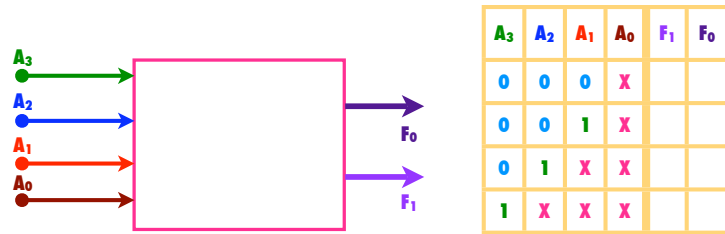
4

Intel Filo 185 Slides

Hi ha dos tipus de codificadors:

Als codificadors sense prioritat es poden donar casos de sortides amb una entrada desconeguda (Exemple: la sortida 0 podria voler dir que no hi cap entrada activada o també que s'activat l'entrada 0). Per aquest codificadors només es podrà activar una entrada cada vegada, si s'activen simultàniament varies entrades, a les sortides podem trobar-nos codis erroris. Només utilitzem aquests codificadors quan el rang de dades d'entrada està correctament acotada i el seu funcionament garantit.

Els codificadors que estableixen prioritat normalment mostren a la sortida el codi assignat a l'entrada de més pes. Les entrades marcades amb una , per tant són indiferents, només es té amb compte el valor de més pes.



Taula de veritat (Truth Table) del codificador amb prioritat alta de 4-2 bits

5

Intel File 100 Slides

Descodificador (Decoder)

És un circuit digital combinacional amb una funció inversa al codificador. Converteix un codi binari amb N bits d'entrada (inputs) amb les corresponents línies de sortida M (Outputs). $M \leq 2^N$.

(Un exemple és el descodificador de BCD a codi de 7 segments).



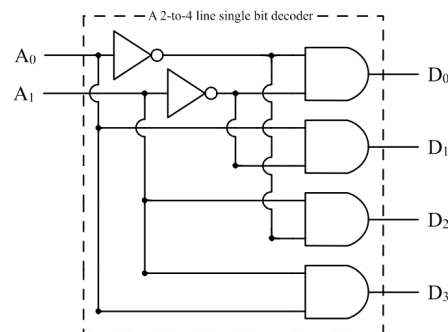
6

Intel File 100 Slides

El descodificador simple rep senyal a i genera una resposta (sortida) en paral·lel.

Exemple per un descodificador simple de 2 a 4 bits; per una entrada de 2 bits, obtenim una sortida de 4 bits.

Cada línia de sortida (una sola línia) serà activa per una sola combinació possible d'entrades.



Truth Table

A ₁	A ₀	D ₃	D ₂	D ₁	D ₀
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

Minterm Equations

$$D_0 = \overline{A_1} \cdot \overline{A_0}$$

$$D_1 = \overline{A_1} \cdot A_0$$

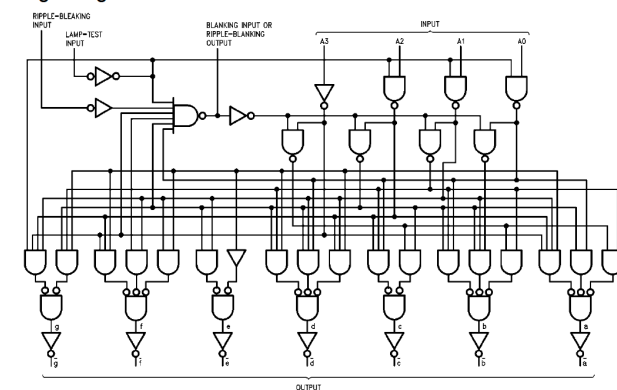
$$D_2 = A_1 \cdot \overline{A_0}$$

$$D_3 = A_1 \cdot A_0$$

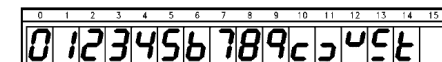
7

Intel File 100 Slides

Logic Diagram

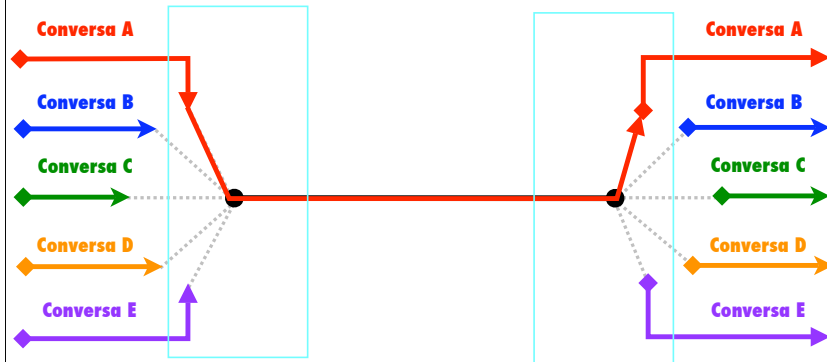


Numerical Designations—Resultant Displays



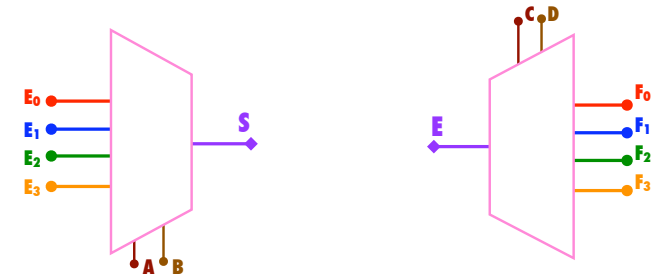
Intel File 100 Slides

Funcionament d'un multiplexor i un demultiplexor, per transmetre diverses converses telefòniques (dades, descàrregues, ...) per una única línia.



9

David Fito 183 Níada



Un senyal que ha estat multiplexat ha de ser demultiplexat a l'altre extrem i viceversa...

10

David Fito 183 Níada

(Multiplexer)

És un circuit combinacional que bàsicament es compon de dues entrades (E_0 , E_1) de dades, una sola sortida (S) i una entrada de control (A).

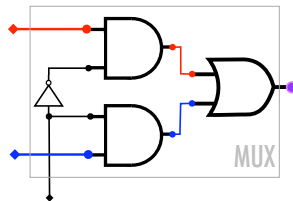
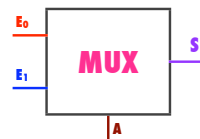


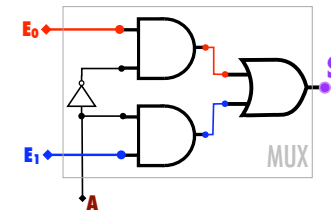
Diagrama lògic d'un multiplexor de dues entrades



S - Sortida de dades
E₀, E₁ - Entrada de dades
A - Selecció de dades

11

David Fito 183 Níada



Taula de veritat d'un multiplexor de dos entrades.

A	E ₀	E ₁	S
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Funció lògica:

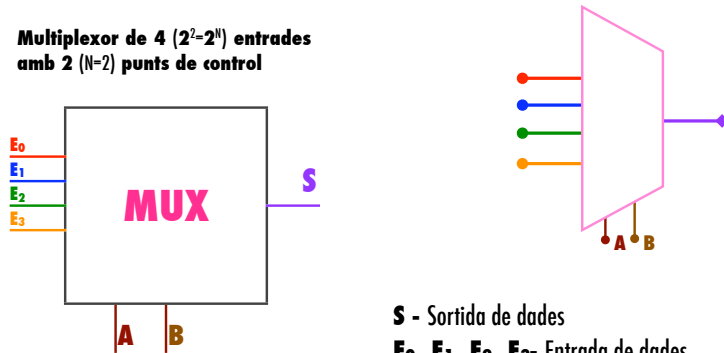
$$X = \bar{A} \cdot E_0 \cdot \bar{E}_1 + \bar{A} \cdot E_0 \cdot E_1 + A \cdot \bar{E}_0 \cdot E_1 + A \cdot E_0 \cdot E_1$$

12

David Fito 183 Níada

Amb el mateix funcionament, es pot ampliar el nombre d'entrades ($E_0, E_1, E_2, E_3 \dots E_N$), i en conseqüència, també el nombre punts de control ($A, B \dots$) per a poder gestionar-les.

Multiplexor de 4 ($2^2=2^n$) entrades amb 2 ($N=2$) punts de control



S - Sortida de dades
E₀, E₁, E₂, E₃ - Entrada de dades
A, B - Selecció de dades

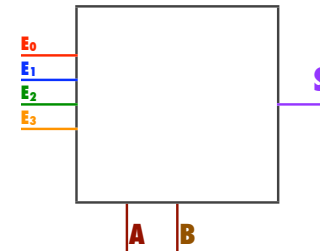
13

Intel·ligència Artificial

Multiplexor de 4 entrades

Taula de veritat simplificada, la x indica valors indiferents (0,1):

- Per $A=0$ i $B=0$ surt E_0 a la sortida.
- Per $A=0$ i $B=1$ surt E_1 a la sortida.
- Per $A=1$ i $B=0$ surt E_2 a la sortida.
- Per $A=1$ i $B=1$ surt E_3 a la sortida.



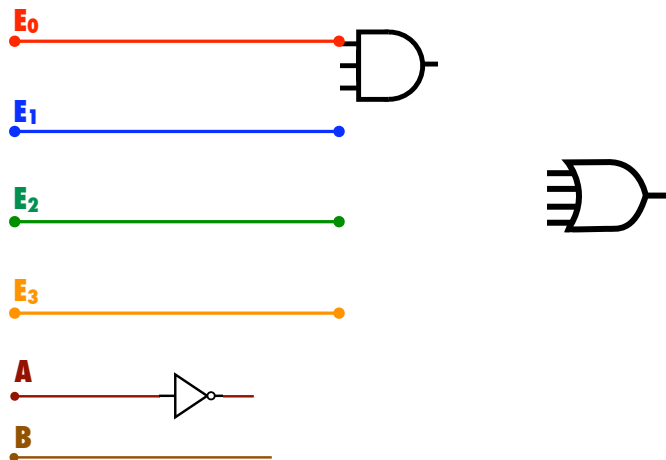
A	B	E ₀	E ₁	E ₂	E ₃	S
0	0	0	x	x	x	
0	0	1	x	x	x	
0	1	x	0	x	x	
0	1	x	1	x	x	
1	0	x	x	0	x	
1	0	x	x	1	x	
1	1	x	x	x	0	
1	1	x	x	x	1	

$$S = E_0 \cdot \bar{A} \cdot \bar{B} + E_1 \cdot \bar{A} \cdot B + E_2 \cdot A \cdot \bar{B} + E_3 \cdot A \cdot B$$

14

Intel·ligència Artificial

Activitat J (10) Realitzar el diagrama lògic d'un multiplexor de 4 entrades amb portes AND, OR i NOT.



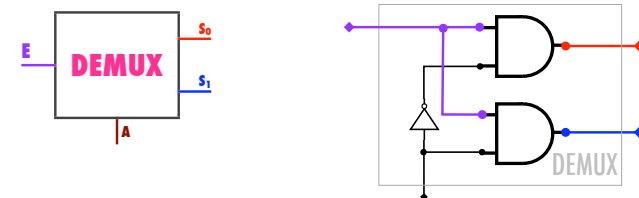
$$S = E_0 \cdot \bar{A} \cdot \bar{B} + E_1 \cdot \bar{A} \cdot B + E_2 \cdot A \cdot \bar{B} + E_3 \cdot A \cdot B$$

15

Intel·ligència Artificial

(Demultiplexers)

Bàsicament es compon d'una sola entrada de dades (E), i dues sortides (S_0 i S_1) de dades, i una entrada de control (A). Realitza una funció contrària al multiplexor.



E - Entrada de dades
S₀, S₁ - Sortida de dades
A - Selecció de dades

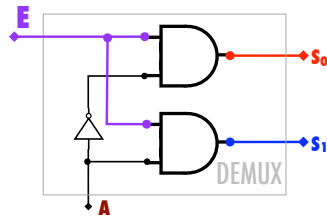
Diagrama lògic d'un demultiplexor de dues sortides

16

Intel·ligència Artificial

Demultiplexor

Quan l'entrada de control (A) es posa a 0 lògic, el senyal d'entrada de dades (E) és connectada a la sortida S_0 ; quan l'entrada d'habilitació (A) es posa a 1 lògic, el senyal d'entrada de dades (E) és la que es connecta a la sortida S_1 . Igual que el multiplexor, amb el mateix funcionament es poden construir desmultiplexors amb un major nombre de sortides i, en conseqüència, d'entrades de control.



E - Entrada de dades
 S_0, S_1 - Sortida de dades
 A - Selecció de dades

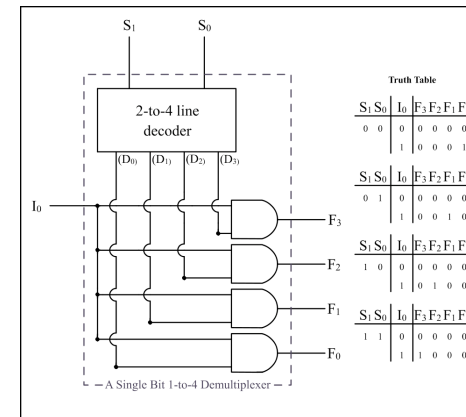
Taula de veritat

A	E	S_1	S_0
0	0		
0	1		
1	0		
1	1		

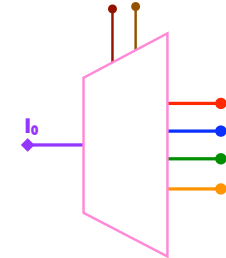
17

Intel File 165 Slides

Demultiplexor simple de 1 a 4 bit



I_0 - Entrada de dades
 F_0, F_1, F_2, F_3 - Sortida de dades
 S_0, S_1 - Selecció de dades



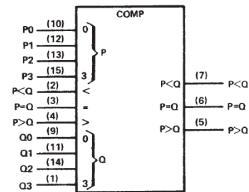
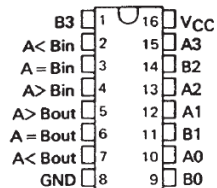
En el camp de les telecomunicacions el demultiplexor s'utilitza com a dispositiu que pot rebre un medi de transmissió compartit (I_0) i transmetre'l a diverses sortides. Per tal d'aconseguir-ho, cal dividir el medi de transmissió en múltiples canals (F_0, F_1, F_2, F_3), per tal que diversos nodes puguin comunicar-se al mateix temps.

18

Intel File 165 Slides

7- Comparadors

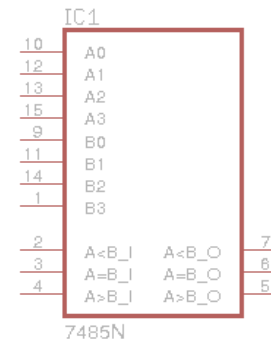
La missió d'un comparador és indicar la de dues informacions binàries [$A_{(01011)}$, $B_{(10010)}$] de n bits cada una.



19

Intel File 165 Slides

Aquest tipus de circuits tenen generalment (A i B, que són les dades a comparar).



També hi ha tres sortides amb els resultats de la comparació:

A =
 A >
 A <

20

Intel File 165 Slides